

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-281647

(43)Date of publication of application : 07.10.1992

(51)Int.Cl.

H04L 27/14

(21)Application number : 03-045098

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 11.03.1991

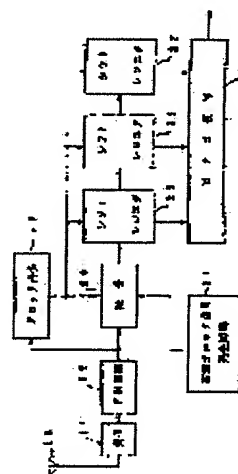
(72)Inventor : HIRAMATSU TATSUO

## (54) CONTINUOUS PHASE MODULATION SIGNAL DEMODULATION CIRCUIT

### (57)Abstract:

**PURPOSE:** To reduce the effect of noise by sampling a demodulation signal based on a sampling signal obtained through FM-demodulating a received continuous phase modulation signal, latching the result to a shift register and applying Viterbi decoding to the obtained signal.

**CONSTITUTION:** A high frequency signal received by an antenna 10 is converted by a reception circuit 11 and demodulated by an FM demodulation circuit 12. A clock recovery circuit 13 compares the phase of information relating to a change point of the data being an FM demodulation output with the phase of a frequency division output from a frequency divider to recover a clock signal synchronously with a change point of a reception data and outputs the result with a delay by a half bit. An integration circuit 20 makes counting based on a high speed clock signal from a high speed clock generating circuit 21 and preset by a clock signal from the clock recovery circuit 13. The integration output is latched by a shift register 22 by the clock signal and shifted therein. A Viterbi decoding circuit 23 decodes the reception data based on the integration value. Thus, the effect of noise is reduced and the decoding accuracy of the reception data is improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-281647

(43) 公開日 平成4年(1992)10月7日

(51) Int.Cl.<sup>5</sup>

H 0 4 L 27/14

識別記号

庁内整理番号

B 7240-5K

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 7 頁)

(21) 出願番号 特願平3-45098

(22) 出願日 平成3年(1991)3月11日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 平松 達夫

守口市京阪本通2丁目18番地 三洋電機株式会社内

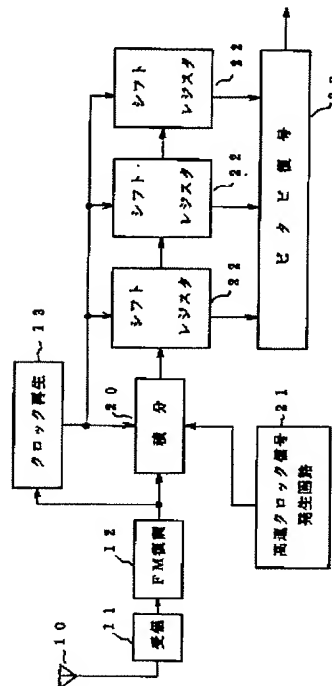
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 連続位相変調信号復調回路

(57) 【要約】

【目的】 受信データを確実に復調し得る回路を提供することを目的とする。

【構成】 本発明によれば、受信された連続位相変調信号をFM復調回路12にてFM復調した後、このFM復調出力に基づきクロック信号再生回路13で再生されたクロック信号に応じて前記FM復調信号をサンプリング若しくは積分し、これらをM個のシフトレジスタ22に保持して、この保持された値からデータをビタビ復号する。



1

## 【特許請求の範囲】

【請求項1】 連続位相変調信号を受信する受信手段と、この受信手段にて受信された信号をFM復調するFM復調手段と、このFM復調手段からの復調信号に基づきクロック信号を再生するクロック再生手段と、このクロック再生手段からのクロック信号に基づきFM復調手段からの出力信号をサンプリング／ホールドするサンプルホールド手段と、このサンプルホールド手段にてホールドされた値を前記クロック再生手段からのクロック信号に基づきシフトし、最新のM個のデータを保持するM個のシフトレジスタ手段と、このM個のシフトレジスタ手段に保持された値に基づき受信データをビタビ復号するビタビ復号手段とを具備したことを特徴とする連続位相変調信号復調回路。

【請求項2】 前記クロック信号再生手段から出力されるクロック信号が、受信情報の変化点で出力されることを特徴とする請求項1記載の連続位相変調信号復調回路。

【請求項3】 連続位相変調信号を受信する受信手段と、この受信手段にて受信された信号をFM復調するFM復調手段と、このFM復調手段からの復調信号に基づきクロック信号を再生するクロック再生手段と、このクロック再生手段からのクロック信号の時間間隔の間、前記FM復調手段からの出力信号を積分する積分手段と、この積分手段の積分出力データを前記クロック再生手段からのクロック信号に基づきシフトし、最新のM個のデータを保持するM個のシフトレジスタ手段と、このM個のシフトレジスタ手段に保持された値に基づき受信データをビタビ復号するビタビ復号手段とを具備したことを特徴とする連続位相変調信号復調回路。

【請求項4】 前記クロック信号再生手段から出力されるクロック信号が、受信情報の変化点から半ビットだけずれて出力され、前記積分手段は、あるデータの時間的中心より連続する次のデータの時間的中心までを積分することを特徴とする請求項3記載の連続位相変調信号復調回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、FM信号やFSK信号等の連続位相変調信号を復調する連続位相変調信号復調回路に関する。

【0002】

【従来の技術】 連続位相変調信号は、ベースバンド信号（2値信号）をフィルタにて帯域制限し、この帯域制限された信号にて搬送波信号をFM変調することにより得ることが出来、スペクトラムの広がり少なく、狭帯域での伝送が可能となるため、移動体通信にて採用されつつある。

【0003】 此種連続位相変調信号としては、GMSK (Gaussian Minimum Shift Keying) 信号が知られている

2

が、このGMSK信号は、ベースバンド信号をガウスフィルタで帯域制限しているため、このGMSK信号をFM復調した信号のアイパターンが図6に示すごとくなり、受信データより再生されたクロック信号におけるデータ抽出タイミング [図6 (A) 参照] では、アイの開きが少ない。

【0004】 従って、受信復調された信号から情報データを復調する際、データを確実に復調することができないという問題を生じていた。

【0005】 斯る点に鑑み、データを確実に復調する方法として、1987年11月19日に発行された「Electronics Letters」Vol.23 No.24 の1311頁～1312頁に記載されたものが提案されている。

【0006】 此種方法について、図7を参照して簡単に説明する。図7において、1は連続位相変調信号が入力される入力端子、2は入力端子1から供給された連続位相変調信号をFM復調するFM復調回路、3はFM復調回路2からの復調信号に基づきクロック信号を再生するクロック再生回路で、再生されたクロック信号をデータの変化点で出力する。4はクロック再生回路3から出力されたクロック信号に基づきFM復調回路2からの出力信号をサンプルホールドするサンプルホールド回路、5はサンプルホールド回路4にホールドされた値が1、0、-1のいずれに近いかを比較する比較回路で、例えば0.5を基準値とする第1比較器と、-0.5を基準値とする第2比較器とより構成され、第1比較器及び第2比較器からの出力信号の状態に応じて2ビットの信号を出力する。6は比較回路5からの出力信号に基づき受信データを判定する判定回路で、比較回路5の出力が情報「1」を示すとき、Hと判定し、情報「-1」を示すとき、Lと判定し、情報「0」を示すとき、前データを反転する。これは、データが「HH」と連続した場合、サンプルホールド回路4の出力が1に、データが「LL」と連続した場合、サンプルホールド回路4の出力が-1に、データが「HL」または「LH」となった場合、サンプルホールド回路4の出力が0になるからである。

【0007】 斯様に構成することにより、図6より明らかなようにアイの開いた部分にて情報の判定が可能となり、情報再生の精度が向上する。

【0008】

【発明が解決しようとする課題】 上記従来の技術によれば、情報再生の精度を向上させることができるものの、例えば、ノイズ等によりサンプルホールド回路4の出力が1から-1に変化した場合、当該ノイズの発生後の出力データが全て誤ったものとなる問題を有している。

【0009】

【課題を解決するための手段】 上記の課題に鑑み、本発明は、連続位相変調信号を受信する受信手段と、この受信手段にて受信された信号をFM復調するFM復調手段

3

と、このFM復調手段からの復調信号に基づきクロック信号を再生するクロック再生手段と、このクロック再生手段からのクロック信号に基づきFM復調手段からの出力信号をサンプリング／ホールドするサンプルホールド手段と、このサンプルホールド手段にてホールドされた値を前記クロック再生手段からのクロック信号に基づきシフトし、最新のM個のデータを保持するM個のシフトレジスタ手段と、このM個のシフトレジスタ手段に保持された値に基づき受信データをビタビ復号するビタビ復号手段とを具備したことを特徴とする。

【0010】また、本発明は、連続位相変調信号を受信する受信手段と、この受信手段にて受信された信号をFM復調するFM復調手段と、このFM復調手段からの復調信号に基づきクロック信号を再生するクロック再生手段と、このクロック再生手段からのクロック信号の時間間隔の間、前記FM復調手段からの出力信号を積分する積分手段と、この積分手段の積分出力データを前記クロック再生手段からのクロック信号に基づきシフトし、最新のM個のデータを保持するM個のシフトレジスタ手段と、このM個のシフトレジスタ手段に保持された値に基づき受信データをビタビ復号するビタビ復号手段とを具備したことを特徴とする。

【0011】

【作用】本発明によれば、受信された連続位相変調信号をFM復調した後、この復調信号から再生されたクロック信号に基づきFM復調信号をサンプリング若しくは積分し、このサンプリング値若しくは積分値をM個のシフトレジスタに保持する。そして、この保持されたM個の値に基づき受信データをビタビ復号する。

【0012】

【実施例】図1は、本発明の一実施例を示す図である。図1において、10はアンテナ、11はアンテナ10からの角度変調信号を受信する受信回路で、例えば受信高周波信号を増幅する高周波増幅回路と、この高周波増幅回路からの高周波信号を所定の中間周波信号に周波数変換する周波数変換回路とを含んでいる。12は受信回路11からの出力信号をFM復調するFM復調回路、13はFM復調回路12の出力信号からクロック信号を再生するクロック再生回路で、図2に示すごとくFM復調回路1からの出力信号が供給される端子14と、この端子14からのFM復調信号が印加される位相比較器15と、基準クロック発振器16と、基準クロック信号発振器16からの基準クロック信号を位相比較器15からの位相比較結果に基づき定まる値(N-1、N、N+1の内、いずれかの値)にて分周するとともに、分周出力を位相比較器15に供給する分周器17と、分周器17の出力を所定時間(即ち、データの半ビットに相当する時間)遅延させる遅延回路18と、再生されたクロック信号を出力する出力端子19とより構成されている。20はクロック再生回路13から供給されるクロック信号に

4

て動作制御され、クロック信号よりも高い周波数を有する、高速クロック信号発生回路21からの高速クロック信号にてFM復調回路12の出力を積分する積分回路、22はクロック再生回路13からのクロック信号に基づき最新のM個の積分回路出力を保持するM個のシフトレジスタ、23はM個のシフトレジスタ22に保持された積分値に基づきデータをビタビ復号するビタビ復号回路で、マイクロコンピュータやDSP(デジタル・シグナル・プロセッサ)にて構成されている。

10 【0013】次に、動作について説明する。アンテナ10にて受信された高周波信号は、受信回路11にて所定の信号(この場合、中間周波信号)に変換された後、FM復調回路12に供給される。FM復調回路は、FM受信機にて用いられているアナログ型のものやデジタル型のもののいずれでも採用することができるが、中心周波数からの周波数偏位に応じた復調信号を出力する。受信信号がベースバンド信号等による連続位相変調信号の場合には、FM復調出力は、帯域制限された2値データとなる。

20 【0014】クロック再生回路13は、このFM復調出力をゼロクロス検波等により抽出されたデータの変化点に関する情報と分周器17からの分周出力とを位相比較し、両者の位相関係に基づき分周器17の分周比を制御して受信データの変化点に同期したクロック信号を再生する。そして、このクロック信号は、遅延回路18にてデータの半ビットに相当する時間だけ遅延させられた後、出力端子19より出力される。尚、クロック再生回路は周知であるので、詳細な動作については説明を割愛する。

30 【0015】積分回路20は、前記高速クロック発生回路21からの高速クロック信号に基づき計数動作を行い、前記クロック再生回路13からのクロック信号にてプリセットされる。例えば高速クロック発生回路21からの高速クロック信号を計数する計数器のプリセット値を計数器の変化範囲の中心値とし、FM復調回路12の出力がHのとき、高速クロック信号に基づきアップカウント、またFM復調回路12の出力がLのとき、高速クロック信号に基づきダウンカウントすることにより、FM復調回路12の出力を積分することができる。

40 【0016】斯る積分出力は、クロック再生回路13からのクロック信号に応じてシフトレジスタ22に順次保持されるとともに、シフトレジスタ22はクロック信号に応じて順次保持値をシフトされるので、M個のシフトレジスタ22には最新の積分値が保持されることになる。

【0017】ビタビ復号回路23は、上記M個の積分値に基づき受信データを復号するが、斯るビタビ復号動作について、以下に説明する。

50 【0018】まず、FM復調回路12の出力は、「L」、「LH」、「HL」及び「HH」の4つの状態に

5

分類することが出来、これらの状態遷移を図3に示す。

【0019】今、データが、”HHL LHH”であったとすると、FM復調回路12からの出力は、”1、0、-1、0、1”となる。これがノイズにより”1、0、6、-1、0、1”と誤ったと仮定する。

【0020】時刻 $i_0$ から $i_1$ への遷移において、LLからはLLとLHの2つの状態に遷移する(図4のトリレス線図参照)。LLからLLへ遷移した場合、図3から分かるように出力は本来-1となるはずであるが、実際のデータは1であるため、その差は2となり、枝に2と記載する。この値を枝メトリック(誤り度合いを示す値)という。また、LLからLHへ遷移した場合には、本来0であるのに対し、1となるため、枝メトリックは1となる。

【0021】次に、時刻 $i_2$ では、LLには時刻 $i_1$ のLLとHLからの状態遷移があり、状態遷移図(図3)を参考にして各枝メトリックを求めると、1.6となる。ここで、時刻 $i_2$ までのメトリックを求めると、3.6と2.6になり、値の小さい方を選択すると、状態メトリックは2.6(即ち、HLからLLへの遷移状態)となる。

【0022】以下同様にして枝の選択とメトリックの計算を順次行くと、各枝のメトリックは図4の如くなり、最終状態におけるメトリックが最小となるのはHHであるから、この状態に接続される状態の遷移は、図4に実線で示した如くHH→HL→LL→LH→HHとなり、元のデータ”HHL LHH”が復号される。

【0023】尚、再生データとしては、ビタビ復号されたデータのN番目の情報が出力される。例えば、ビタビ復号されたデータが6ビットとし、その4番目のビットが出力データとして導出される。

【0024】図5は本発明の他の実施例を示す図で、図1と比較してFM復調回路12の出力をクロック再生回路13からの再生クロック信号にてサンプリング・ホールドする点で相違する。

【0025】この時、クロック再生回路13'は、図2に示したクロック再生回路13の遅延回路18を除く回路にて構成され、データの変化点でクロック信号を出力するようになされている。

【0026】従って、サンプルホールド回路24にサンプリング・ホールドされる値は、前記クロックタイミングにおけるFM復調出力となる。また、この場合、当該サンプリングされた値をアナログ/デジタル変換回路2

6

5にてデジタル信号に変換した後、シフトレジスタ22に供給される。

【0027】尚、本発明は上述した実施例に限定されるものではなく、例えばFM復調回路からの出力をデジタル信号に変換した後、クロック再生回路やサンプルホールド回路または積分回路に供給したり、積分回路としてリーク積分回路を用いたりする等、種々変更することができる。また、ビタビ復号は、ソフトウェアにて実現される。

10 【0028】

【発明の効果】本発明によれば、受信された連続位相変調信号をFM復調した後、この復調信号から再生されたクロック信号に基づきFM復調信号をサンプリング若しくは積分し、このサンプリング値若しくは積分値をM個のシフトレジスタに保持するとともに、この保持されたM個の値に基づき受信データをビタビ復号するようにしたので、従来の方法に比較してノイズの影響を軽減出来、受信データの復号精度を向上させることが出来る。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】クロック再生回路の一例を示す図である。

【図3】状態遷移を示す図である。

【図4】状態遷移図を時系列に展開したトリレス線図を示す図である。

【図5】本発明の他の実施例を示す図である。

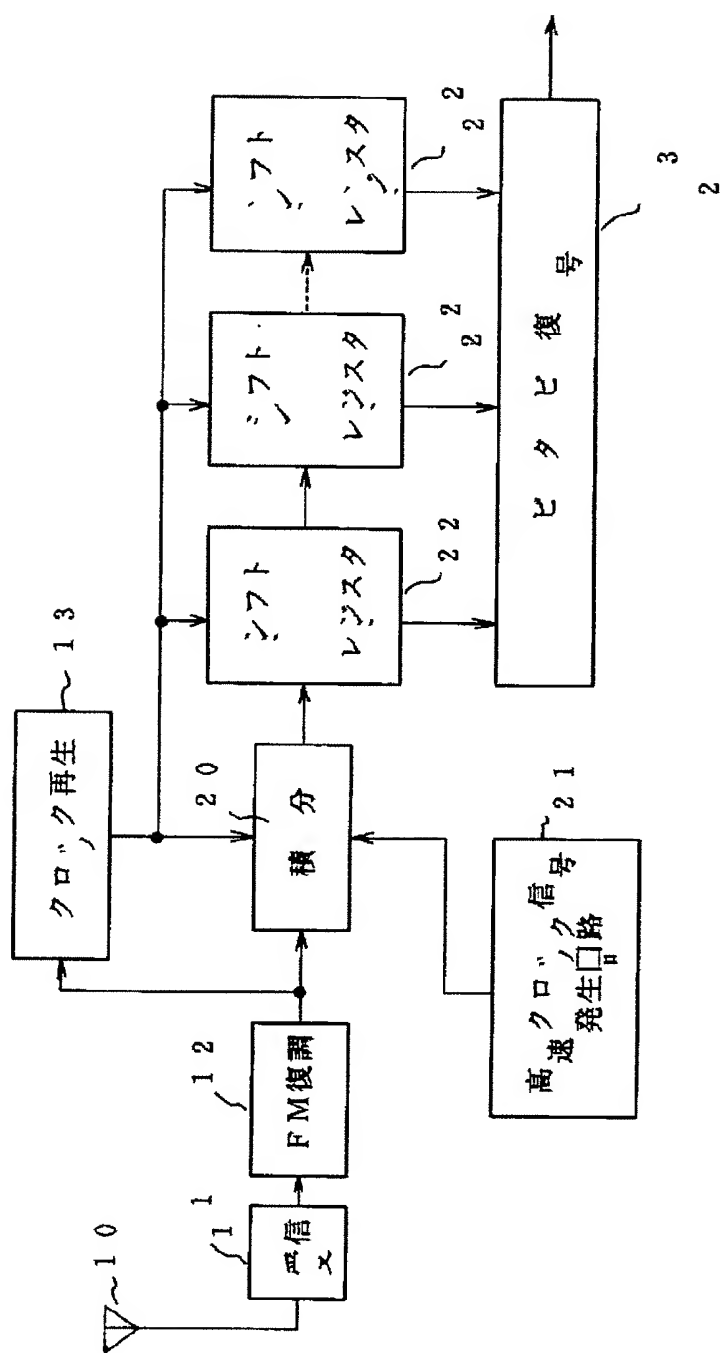
【図6】アイパターンを示す図である。

【図7】従来例を示す図である。

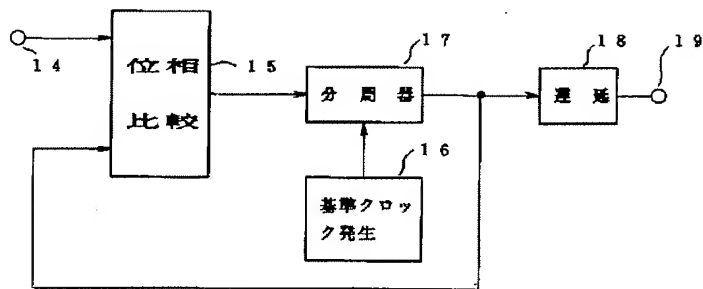
【符号の説明】

- 10 アンテナ
- 11 受信回路
- 12 FM復調回路
- 13 クロック再生回路
- 15 位相比較回路
- 16 基準クロック信号発生回路
- 17 分周器
- 18 遅延回路
- 20 積分回路
- 21 高速クロック信号発生回路
- 22 シフトレジスタ
- 23 ビタビ復号回路
- 24 サンプルホールド回路
- 25 アナログ/デジタル変換回路

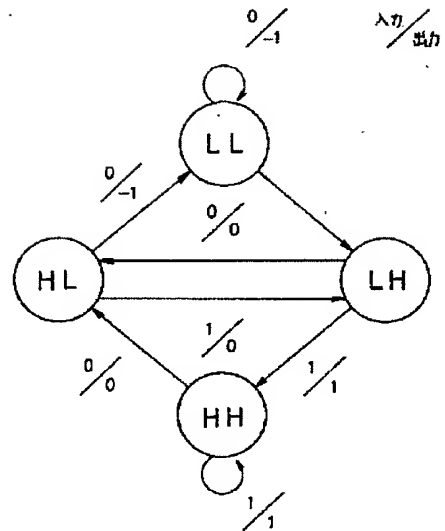
【 図 】



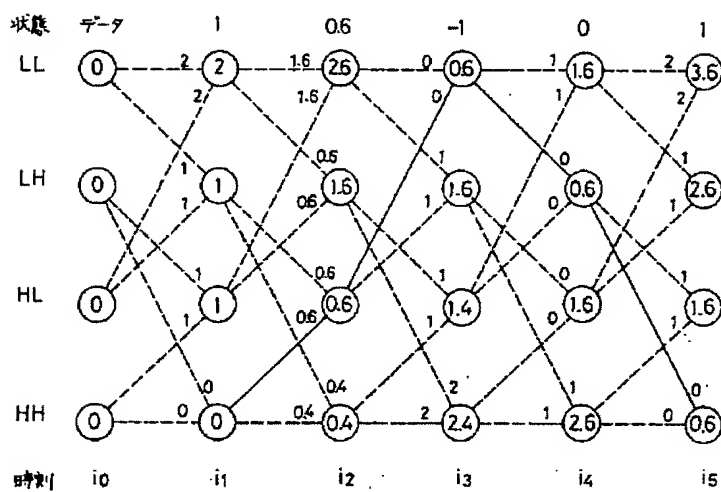
【図2】



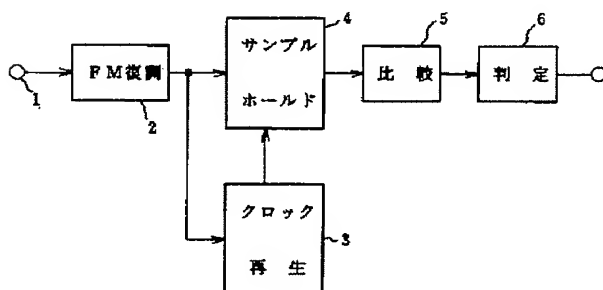
【図3】



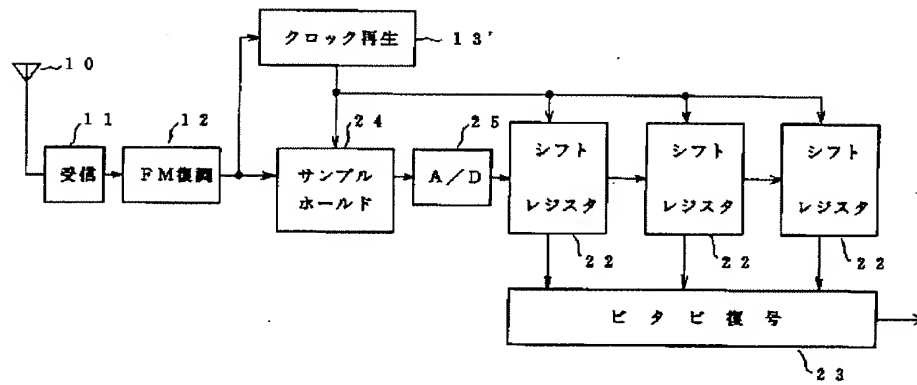
【図4】



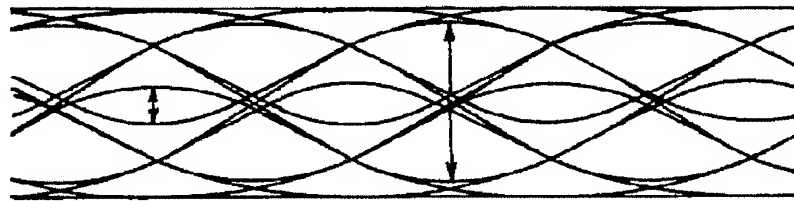
【図7】



【図5】



【図6】



(A) 通常の読み出しタイミング

(B) 半ビット・オフセットタイミング